

DERWENT-ACC-NO: 1999-220935

DERWENT-WEEK: 199919

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: SOI-MOSFET structure - has long and thin gate electrode
of equal width arranged above gate insulating film via
thin semiconductor film and midway between source drain
diffusion layer

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1997JP-0210631 (August 5, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP <u>11054759</u> A	February 26, 1999	N/A	008	H01L 029/786

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11054759A	N/A	1997JP-0210631	August 5, 1997

INT-CL (IPC): H01L021/336, H01L029/786

ABSTRACTED-PUB-NO: JP 11054759A

BASIC-ABSTRACT:

NOVELTY - A long and thin gate electrode (5) of equal width is arranged above a gate insulating film (4) via a thin semiconductor film (3) and midway between the source- drain diffusion layer (6). An electrode (8) which is connected to the gate electrode supplies voltage to the thin semiconductor film. DETAILED DESCRIPTION - An insulating film (2) is formed on a silicon substrate (1). The thin semiconductor film is formed on the insulating film. The source-drain diffusion layer projects from the thin semiconductor film. An INDEPENDENT CLAIM is also included for SOI-MOSFET manufacturing method.

USE - None given.

ADVANTAGE - Since gate electrode is elongated, thin, thus parasitic capacitance is eliminated and switching is improved. DESCRIPTION OF DRAWING(S) - The figure shows structure of SOI-MOSFET. (1) Silicon substrate; (2) Insulating film; (3) Thin semiconductor film; (4) Gate insulating film; (5) Gate electrode; (6) Source-drain diffusion layer; (8) Electrode.

CHOSEN-DRAWING: Dwg.1/9

DERWENT-CLASS: U12

EPI-CODES: U12-B03A; U12-D02A4;

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-54759

(43)公開日 平成11年(1999) 2月26日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 7 K

21/336

6 1 7 S

6 1 8 C

審査請求 未請求 請求項の数4 OL (全 8 頁)

(21)出願番号

特願平9-210631

(22)出願日

平成9年(1997) 8月5日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山田 敬

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 川中 繁

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

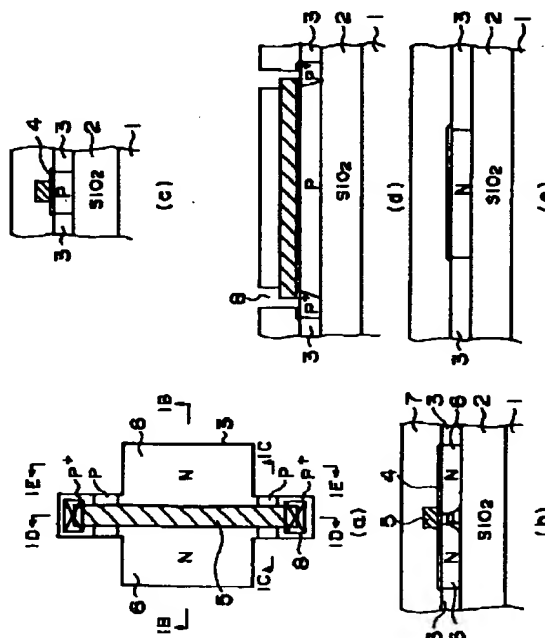
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 スイッチング特性の向上、電位降下や電位遅延による素子特性の劣化の低減を図った半導体装置を提供すること。

【解決手段】 半導体基板1と、前記半導体基板上に形成された絶縁膜2と、前記絶縁膜上に形成された半導体薄膜3と、前記半導体薄膜内に形成されたソース拡散層6及びドレイン拡散層6と、前記半導体薄膜上に絶縁層4を介して形成されたゲート絶縁膜5とからなる電界効果トランジスタと、前記ゲート電極に接続され前記半導体薄膜に電位を与える少なくとも1つの電極8とを有し、前記ゲート電極は前記ソース拡散層と前記ドレイン拡散層との間の前記半導体薄膜の上部にチャンネル長と垂直な方向に細長く配置されていて、その幅がほぼ一定になるように形成されている。



1

【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体薄膜と、前記半導体薄膜内に形成されたソース拡散層及びドレイン拡散層と、前記半導体薄膜上に絶縁層を介して形成されたゲート絶縁膜とからなる電界効果トランジスタと、前記ゲート電極に接続され前記半導体薄膜に電位を与える少なくとも1つの電極とを有する半導体装置において、

前記ゲート電極は前記ソース拡散層と前記ドレイン拡散層との間の前記半導体薄膜の上部にチャンネル長と垂直な方向に細長く配置されていて、その幅がほぼ一定になるように形成されていることを特徴とする半導体装置。

【請求項2】 半導体基板と、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体薄膜と、前記半導体薄膜内に形成されたソース拡散層及びドレイン拡散層と、前記半導体薄膜上に絶縁層を介して形成されたゲート絶縁膜とからなる電界効果トランジスタと、前記ゲート電極に接続され前記半導体薄膜に電位を与える少なくとも1つの電極とを有する半導体装置において、

ボディ電位を取り出す部分のゲート絶縁膜の膜厚が、チャンネル領域のゲート絶縁膜の膜厚よりも厚いことを特徴とする半導体装置。

【請求項3】 半導体基板と、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体薄膜と、前記半導体薄膜内に形成されたソース拡散層及びドレイン拡散層と、前記半導体薄膜上に絶縁層を介して形成されたゲート絶縁膜とからなる電界効果トランジスタと、前記ゲート電極に接続され前記半導体薄膜に電位を与える少なくとも1つの電極とを有する半導体装置において、

ボディ電位を取り出す部分のゲート下のボディ領域のシート抵抗が、チャンネル領域のゲート下のボディ領域のシート抵抗よりも低いことを特徴とする半導体装置。

【請求項4】 絶縁膜上に形成された半導体薄膜基板上への半導体装置の製造方法において、

前記半導体薄膜基板上にゲート絶縁膜を介してそのまわりが絶縁膜で覆われたゲート電極を形成する工程と、前記ゲート電極及びソース・ドレインチャンネル領域を規定するフォトリソパターンとをマスクとして、前記半導体薄膜をエッチング除去して素子領域を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置、特に、SOI (Silicon On Insulator) を用いたMOS電界効果トランジスタ及びその製造方法、に関する。

【0002】

2

【従来の技術】 絶縁物である酸化シリコンなどの上に形成されたシリコンなどからなる半導体薄膜の表面をチャネルとするMOS電界効果トランジスタ（以下、「SOI-MOSFET」と称する）は、シリコン基板表面をチャネルとするバルクMOSFETに比べて、短チャネル効果に強く、寄生接合容量（単に、「寄生容量」と称する場合もある）が小さいことから回路のスイッチング速度が速くなるなどの利点がある。しかしながら、通常、ボディ（薄膜SOI-MOSFETでは、個々のチャネルが形成される素子領域が分離されるため、これを「ボディ」と称する）には電極を接続せずに浮遊電位のまま動作させているが、この場合、チャネルのキャリアがドレイン端でインパクトイオン化して発生した多数キャリアがボディに蓄積してボディ電位が変動し、その結果SOI-MOSFETの特性が変動するという欠点があった。

【0003】これに対して、ボディに電位を与える電極を形成したボディコンタクト付SOI-MOSFETでは、多数キャリアがボディ電極から引き抜かれ、ボディの電位が安定するため、いわゆる基板浮遊効果の問題は起こらない。また、ボディ電極を例えばゲート電極と短絡させた構造（以下、「ゲートボディ短絡型」と称する）により、ボディ電位を動的に制御させることにより、オン時のしきい値を低下させてドレイン電流を増大させ、オフ時のしきい値を増大させてリーク電流を低下することができるので、従来に対して大幅にスイッチング特性を向上させることができる。

【0004】図9は、典型的なボディコンタクト付SOI-MOSFET（n型MOSの場合）を示す図であって、(a)は平面図、(b)～(e)はそれぞれ、(a)の9B-9B断面図、9C-9C断面図、9D-9D断面図及び9E-9E断面図である。なお、図9において、ソース・ドレイン6へのコンタクトは省略しており、図はゲート5上とボディ3へのコンタクト8'を開口したところを示している。例えばこの後、両コンタクト部を同一配線で短絡させることにより、ゲートボディ短絡型となる。

【0005】しかしながら、図9に示すような、ボディコンタクト付SOI-MOSFETでは、ゲート電極をH型にして、ソース・ドレイン領域とチャネル部からのボディ引き出し領域を分離させていた。このため、平面パターンに点線で示した領域で、ソース・ドレインとボディ領域間の接合容量、あるいはソース・ドレイン領域とゲート間のオーバーラップ容量などの寄生容量1の増大、また、寄生容量2で示したH型にしたことで増大したゲート電極の面積増大分のゲート容量の増大、あるいはチャネル下のボディ領域からボディ領域へのコンタクト形成領域までの寄生抵抗等により、十分な性能を引き出すことが出来なかった。

50 【0006】

【発明が解決しようとする課題】上記のように、従来は、ソース・ドレイン領域とゲート間の寄生容量の増加等によりトランジスタの性能を充分引き出すことができなかった。本発明は、上記の事情を考慮してなされたもので、その目的は、スイッチング特性の向上、電位降下や電位遅延による素子特性の劣化の低減を図った半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記の課題を解決するために次のような手段を講じた。本発明では、

(1) ゲート電極のパターンを直線的なI型にすること。このように、ゲート電極が直線的になったことで、ソース・ドレイン拡散層とボディあるいはゲートとの寄生容量が原理的に無くなり、寄生容量が大幅に低減し、回路のスイッチング特性が向上する。

(2) ボディコンタクト形成のためのボディ引き出し領域部のゲート絶縁膜の膜厚をチャンネルとして機能するボディ領域部のゲート絶縁膜の膜厚よりも厚くすること。このように、ボディ引き出し領域部のゲート絶縁膜の膜厚を厚くすることにより、ゲート容量を低減し、回路のスイッチング特性が向上する。

(3) ボディ引き出し領域部のボディのシート抵抗をチャンネルとして機能するボディ領域部のボディのシート抵抗よりも低くすること。このように、ボディ引き出し領域部ボディの不純物濃度を増加させるなどして選択的にシート抵抗を低下させて、ボディ電位の制御性を良くすることにより、電位降下や電位遅延による素子特性の劣化を低減できる。

【0008】

【発明の実施の形態】図面を参照して本発明の実施の形態を説明する。図1は、本発明の第1の実施形態に係る半導体装置としてのnチャンネル型、特にMOAT型のSOI-MOSFETを示す図であって、(a)は平面図、(b)～(e)はそれぞれ、(a)の1B-1B断面図、1C-1C断面図、1D-1D断面図及び1E-1E断面図である。

【0009】半導体基板(下地シリコンウェハ)1上には、酸化シリコン膜2と素子分離用絶縁膜3で絶縁分離されたシリコン層3' (以下、「ボディ領域」とも称する)があり、シリコン層3' 上には、ゲート絶縁膜4を介してゲート電極5が形成されている。また、シリコン層3' には、ソース・ドレイン拡散層6と、ボディとゲートへのストラップコンタクト8が形成されている。このようにしてゲート-ボディ短絡型ボディコンタクト付SOI-MOSFET (n型MOS) が構成されている。

【0010】本実施形態では、ゲート電極5のチャンネル

幅方向の幅がほぼ一定になるように直線状(すなわち、I型)に形成されている。従来では、ゲート電極の形状がH型であったため、図9に示すように、寄生容量が問題であったが、本実施形態のように、ゲート電極5の形状をI型としたことにより、ソース・ドレイン拡散層6とシリコン層3' との寄生容量が原理的に無視できるようになっている。

【0011】本実施形態に係る半導体装置の製造方法は、従来と同様で良いが、以下簡単に、本実施形態に係る半導体装置の製造方法について説明する。例えば、まず、LOCOS法やSTI法等により素子を形成するための個々の素子領域を形成する。次に、必要に応じて、トランジスタのしきい値制御のためのチャンネル不純物としてイオン注入などによりボロンをシリコン層3' に導入する。続いて、シリコン層3' の上部に酸化などによりゲート絶縁膜4を形成して、その上部にn型多結晶シリコンやその複合膜などからなるI型のゲート電極5を形成する。そして、このゲート電極5をマスクにして、イオン注入などによりシリコン層3' 内にソース・ドレイン拡散層6を形成したり、必要に応じて、ボディコンタクト形成部にp+拡散層を形成する。この場合において、ソース・ドレイン拡散層6とp+拡散層とは、図1(a)からわかるように、直接接合を形成しないようにうず不純物濃度(図ではp層)を介して離して形成するのが望ましい。最終的に、層間絶縁膜7やボディコンタクト8、および図示しない配線を形成して素子の主要な部分が完成する。

【0012】なお、上記実施形態において、ボディコンタクト8は、ストラップコンタクトとなっており、このようにコンタクトを形成することによって、ボディ領域とのコンタクトを最小パターン(最小デザインルール)で形成することができる。また、図1では、ボディコンタクト8を2ヶ所としているが、ボディ電位の遅延が問題とならなければ、この必要はなく、1ヶ所のみでも良い。

【0013】図2は、本発明の第2の実施形態に係る半導体装置としてのnチャンネル型SOI-MOSFETを示す図であって、(a)は平面図、(b)～(e)はそれぞれ、(a)の2B-2B断面図、2C-2C断面図、2D-2D断面図及び2E-2E断面図である。本実施形態では、第1の実施形態において、ボディ電位引き出し領域のゲート絶縁膜4' がチャンネル部のゲート絶縁膜4よりも厚く形成されている。本実施形態のように、ボディ電位引き出し領域のゲート絶縁膜4' をチャンネル部のゲート絶縁膜4よりも厚くすることは、この部分にあらかじめ選択的に堆積や酸化あるいは溝を形成してからの埋め込みによりシリコン酸化膜などの厚い絶縁膜を形成しておくことで容易に実現できる。このように、ボディ電位引き出し領域のゲート絶縁膜4' をチャンネル部のゲート絶縁膜4よりも厚くすることにより、ボディ

5

電位引き出し領域の寄生容量を低減できる。また、図2においては、ゲート電極5の形状を第1の実施形態と同様にI型としたが、従来と同様のH型の形状であっても、寄生容量を低減できる。

【0014】図2の半導体装置の製造方法としてのゲート先作り法について図3を参照して説明する。まず、体積や酸化により形成したシリコン酸化膜層をフォトレジストにより選択的に残させる。MOAT法や、溝を形成してシリコン酸化膜を埋め込むSTI法や、LOCOS法などにより厚いシリコン酸化膜4'を形成する(図3(a))。次に、シリコン酸化膜4'下部及びチャネル部へのイオン注入を行い、ボディ電位引き出し領域の低抵抗化及びチャネル部のしきい値の調整等を行う。続いて、ゲート酸化膜4を形成して、その上部にゲート電極5を形成する(図3(b))。ゲート電極の上部には、シリコンちっかまやシリコン酸化膜などを積層した構造とする。こうすることで、後工程で素子領域の加工時に用いるシリコンのドライエッチングからゲート電極を保護できる。続いて、図3(c)に示すように、ソース・ドレイン拡散層6を形成した後に、メサ型の素子分離を行うことにより、素子が完成する。この場合、ゲート電極形成後、まずLDDn⁻拡散層を形成した後に、シリコン酸化膜やシリコン窒化膜などをゲート電極のゲート電極の側壁に残すように形成し、ソース・ドレインのn⁺拡散層形成を行う。LDDn⁻拡散層とソース・ドレインn⁺拡散層の形成方法としては、従来のようなイオン注入を、後に素子領域となる領域を少なくとも囲むようなパターンのフォトレジストをマスクに行う。

【0015】この後、ゲート電極5と、厚いシリコン酸化膜4'以外の領域のシリコン基板の表面を露出させた状態で、シリコンを選択的にエッチングするドライエッチングを行うことで、素子領域を形成する。このとき、素子領域を形成するためのフォトレジストのパターンは、例えば、図3(c)の斜線のようにする。なお、図3(d)、図3(e)はそれぞれ図3(c)の3D-3D、3E-3E断面図である。結果として、まわりをシリコン酸化膜やシリコン窒化膜で覆われたゲート電極5とシリコン酸化膜4'と本フォトレジストのパターンのORをとった領域以外のシリコン基板がエッチングされ、図3(c)の太線で示したような素子領域が残ることになる。なお、この場合において、図2では、ボディコンタクト8を形成しているが、ボディコンタクトは、とらなくても構わない。また、図3(b)において、ゲートは直線状になっているが、直線状に限らず、任意の形状とすることができる。つまり、通常のボディをフローティングで用いるタイプのSOI素子にも適用可能である。

【0016】上記のように、素子分離を行う前にゲート電極を形成するゲート先作り方式によれば、従来の最もシンプルな分離法であるメサ分離の素子特性を劣化させ

6

る問題点を解決することができ、シンプルで高性能な素子分離が可能となる。具体的には、図4(図4(b)及び図4(c))は図4(a)のそれぞれ4B-4B、4C-4C断面図)に示すように、従来では、シリコン層エッジの上部コーナー部でのゲート耐圧の劣化や寄生トランジスタのリークの問題、シリコン層の段差によるゲート材の加工残りの問題等を本製造方法によればゲートを形成した後に素子領域となるシリコン層を加工するため、シリコン層のコーナーや段差とゲート電極にまつわる上記問題点は全く生じることはない。特に、MOAT型では、下部のシリコン層の膜厚が確保できるので、ボディ電位の伝わり性が良くなり、安定した素子特性が得られる。

【0017】また、本製造方法を適用して、キャパシタ付きのトランジスタも容易に製造することができる。この場合特に有効なのは、キャパシタ領域がゲート電極に対してセルフアラインで形成できることで、このことにより、素子の微細化に対しても有効なプロセスといえる。なお、従来では、あらかじめキャパシタとなる素子領域を形成しておき、その領域をオーバーラップさせるような大きなパターンのゲート電極で覆うことになり、微細化が困難であった。図5(a)にその平面図を示し、(b)にその等化回路を示す。なお、図5に示す素子の製造方法は、図3と同様であるので、詳細な説明は省略する。また、ボディへのコンタクトを形成しない通常のSOI-MOSFETとしては図6(図6(b)及び図6(c))は図6(a)のそれぞれ6B-6B、6C-6C断面図)に示すように、はじめに形成する厚いゲート絶縁膜は、必ずしも必要とはならない。チャネルイオン注入後、すなわち、いきなりゲート電極を形成して、このゲート電極と図に示すような(斜線)フォトレジストをマスクに素子領域をエッチングする。このときのエッチング法として等方性のドライエッチングを用いるとゲート長が微細な場合は、フォトレジストパターンからはずれた領域のゲート電極化のシリコン層もエッチング除去され、余分な寄生容量を削減できる。

【0018】また、ボディ電位取り出し領域のボディ領域の抵抗を低減させる方法として、本発明(図2参照)のような、厚いゲート絶縁膜4'の構造が効果的である。その理由は以下の通りである。チャネル部は、しきい値が増大してしまうため、特に表面付近の不純物濃度は濃くできない。従って、不純物をイオン注入する場合、そのピーク濃度が酸化シリコン膜2との界面付近に深くなるようにする必要がある。この時、ボディ引き出し領域のゲート絶縁膜4'が厚いため、この部分のピーク深さは薄膜シリコン層の中央付近に浅めに設定することができる。この場合、深めのチャネル部では、多くの不純物が下地シリコン酸化膜中に捕らわれるのに対し、ボディ電位引き出し領域の場合は、ほとんどが、ボディ領域に導入されるため、高濃度となり、シート抵抗が低

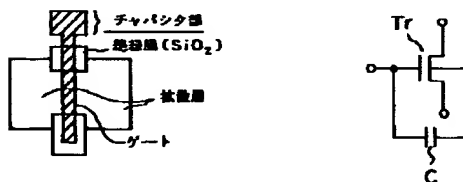
減できる。この場合、ゲート絶縁膜4'の膜厚が厚い場合、図7(a)に示すように、ボディ電位引き出し領域へのイオン注入が、ほとんどゲート絶縁膜4'に注入されてしまう。このような場合は、図7(b)に示すように、ゲート絶縁膜4'下のシリコン層に注入される深さのイオン注入を別途行うことで、今度はチャネル部は通り抜けて、しきい値には影響せずボディの抵抗を下げることができる。

【0019】図8は、本発明の第3の実施形態に係る半導体装置を示す図であって、(a)は平面図、(b)～(e)はそれぞれ、(a)の3B-3B断面図、3C-3C断面図、3D-3D断面図及び3E-3E断面図である。本実施形態では、ゲート電極を例えばn型多結晶シリコンからなる第1のゲート電極5-1とWSiからなる第2のゲート電極5-2との複合膜から構成させ、ボディ電位引き出し領域の第1のゲート電極5-1をエッチング除去している。その後、層間絶縁膜7などを、第2のゲート電極5-2と薄膜シリコンとの間に堆積するなどして、この部分のゲート絶縁膜4、4'が厚くなる。あるいは、この層間絶縁膜7などのカバレッジが不十分で空洞ができて構わない。この場合には、比誘電率が1に近いガスがゲート絶縁膜4'の一部になることで、さらに容量低減効果が増大する。あるいは、さらに変形して、図1や図2の実施形態において、ゲート電極形成後に、ボディ電位引き出し領域のゲート絶縁膜をHFなどのウェットエッチングなどにより、選択除去して、ゲート絶縁膜のかわりにガスを密封しても良い。本発明は、上記の発明の実施の形態に限定されるものではなく、本発明の要旨を変更しない範囲で種々変形して実施できるのは勿論である。

【0020】

【発明の効果】本発明によれば次のような効果が得られる。ゲート電極が直線的になったことで、ソース・ドレイン拡散層とボディあるいはゲートとの寄生容量が原理的に無くなり、寄生容量が大幅に低減し、回路のスイッチング特性が向上する。

【図5】



【0021】ボディ引き出し領域部のゲート絶縁膜の膜厚を厚くすることにより、ゲート容量を低減し、回路のスイッチング特性が向上する。ボディ引き出し領域部ボディの不純物濃度を増加させるなどして選択的にシート抵抗を低下させて、ボディ電位の制御性を良くすることにより、電位降下や電位遅延による素子特性の劣化を低減できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る半導体装置を示す図。

【図2】 本発明の第2の実施形態に係る半導体装置を示す図。

【図3】 本発明に係る半導体装置の製造方法を説明するための図。

【図4】 従来の半導体装置の製造方法を示す図。

【図5】 本発明に係る半導体装置の製造方法を説明するための図。

【図6】 本発明に係る半導体装置の製造方法を説明するための図。

【図7】 本発明に係る半導体装置の製造方法を説明するための図。

【図8】 本発明の第3の実施形態に係る半導体装置を示す図。

【図9】 典型的なボディコンタクト付SOI-MOSFET(n型MOSの場合)を示す図。

【符号の説明】

1…半導体基板(下地シリコンウェハ)

2…酸化シリコン膜

3…素子分離用絶縁膜

3'…シリコン層(ボディ領域)

4、4'…ゲート絶縁膜

5…ゲート電極

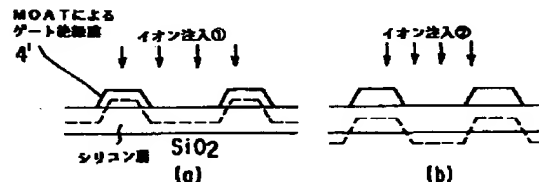
6…ソース・ドレイン拡散層

7…層間絶縁膜

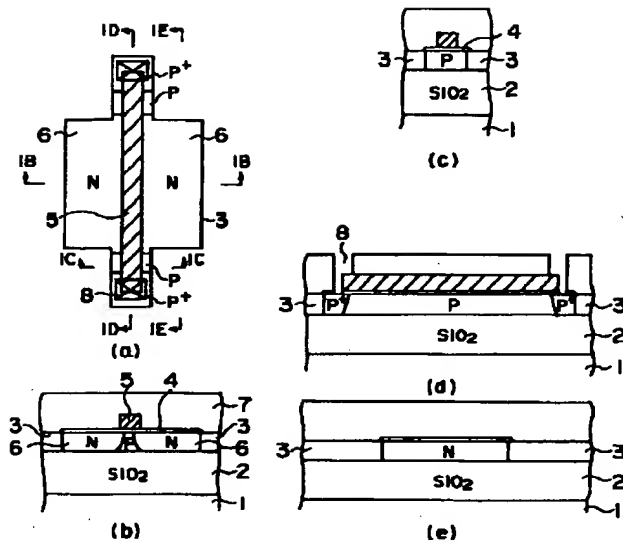
8…ストラップコンタクト

8'…ボディへのコンタクト

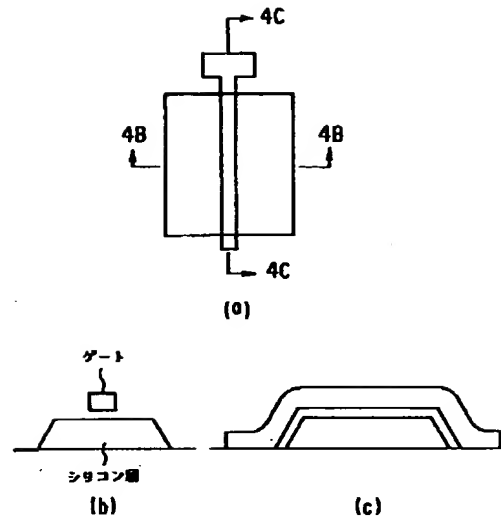
【図7】



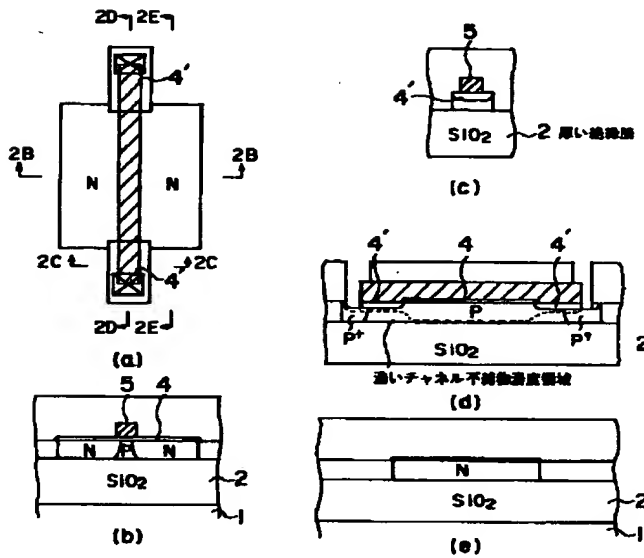
【図1】



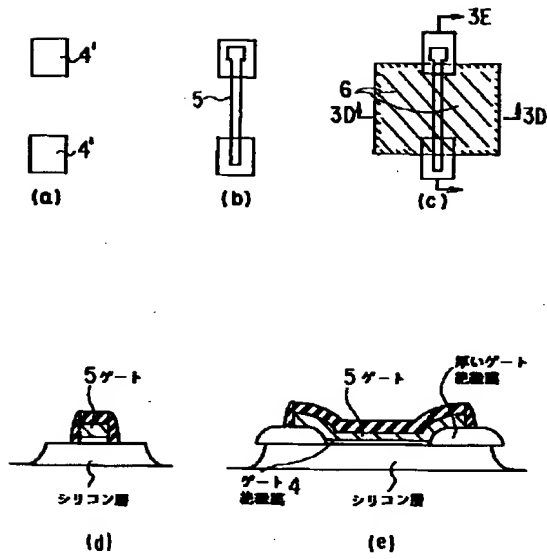
【図4】



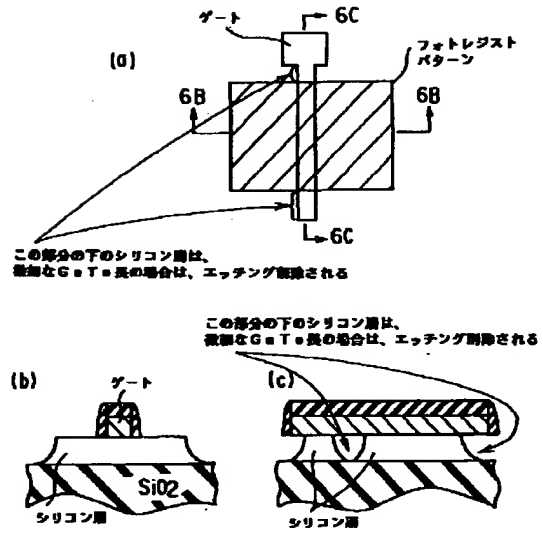
【図2】



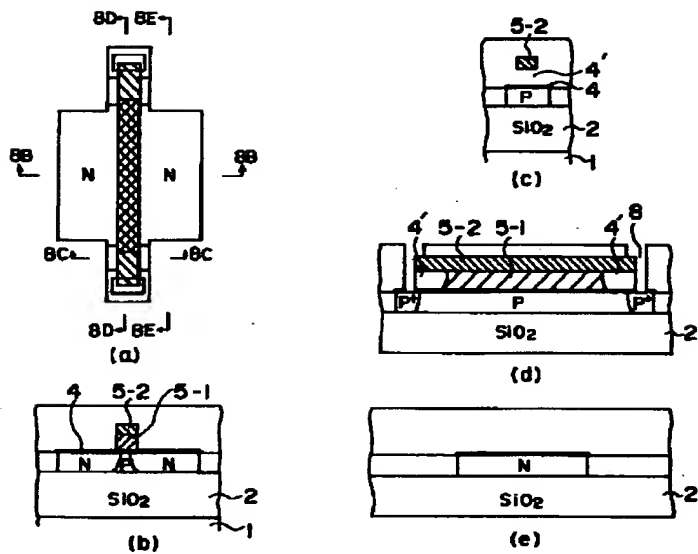
【図3】



【図6】



【図8】



【図9】

